

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174838

(43)Date of publication of application : 23.06.2000

(51)Int.Cl. H04L 29/00
H04L 25/02

(21)Application number : 10-350298

(71)Applicant : HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 09.12.1998

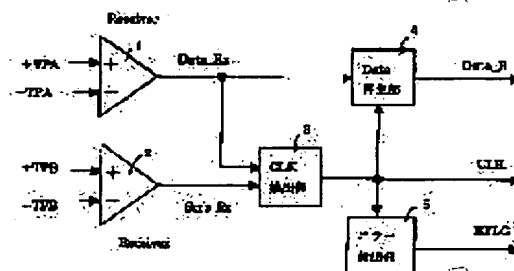
(72)Inventor : IZUMIDA MORIJI
MAKINO AKIHIRO
NAKAMURA KAZUNORI

(54) DATA RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To attain error correction with high capability, without deteriorating a data transmission efficiency by detecting the errors of received data through physical defects inspection to a received signal before recovery of data and detecting the fault location as an error estimate position of the received data.

SOLUTION: A clock extract section 3 is formed by using an exclusive OR circuit. A data recovery section 4 uses a clock signal CLK to recover received data Data-R from a data signal Data-Rx. An error check section 5 checks consecutiveness of the clock signal CLK and outputs an error occurrence flag EFLG, when the section 5 finds out a discontinuous position in the clock signal CLK. The error occurrence flag EFLG indicates the presence of an error in the received signal and depicts its error position information by its output timing. The physical error detection section 5 detects the error of the received data Data-R and detects the error location as an error estimate position of the received data Data-R.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174838

(P2000-174838A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 L 29/00		H 0 4 L 13/00	S
25/02		25/02	J
	3 0 1		3 0 1 A

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願平10-350298

(22) 出願日 平成10年12月9日 (1998.12.9)

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 泉田 守司

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 100085811

弁理士 大日方 富雄

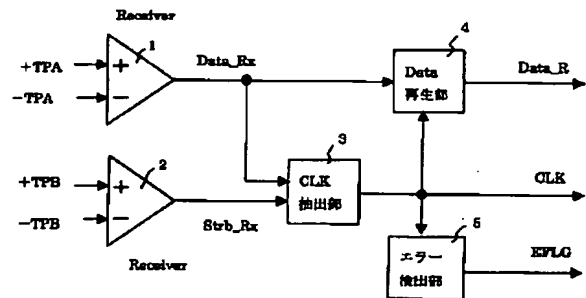
最終頁に続く

(54) 【発明の名称】 データ受信装置

(57) 【要約】

【課題】 訂正データによるデータの冗長度増大を伴うことなく、また訂正データによる複雑かつ大がかりな訂正処理を伴うことなく、エラー個所を確実に特定して高能力のエラー訂正を可能にする。

【解決手段】 データ・ストローブ符号化方式で伝送されてくるデータ信号とストローブ信号を受信して受信データを再生するデータ受信装置にあって、データ再生される前の受信信号に対する物理的異常検査たとえばクロック信号の連続性検査により上記受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出する。



【特許請求の範囲】

【請求項 1】 データ・ストロブ符号化方式で伝送されてくるデータ信号とストロブ信号を受信して受信データを再生するデータ受信装置にあって、データ再生される前の受信信号に対する物理的異常検査により上記受信データのエラー検出を行うとともに、上記異常箇所を上記受信データのエラー推定箇所として検出するエラー検出手段を備えたことを特徴とするデータ受信装置。

【請求項 2】 データ信号とストロブ信号の排他的論理和で与えられるクロック信号の連続性検査により受信データのエラー検出を行うとともに、上記連続性の異常箇所を上記受信データのエラー推定箇所として検出するエラー検出手段を備えたことを特徴とする請求項 1 に記載のデータ受信装置。

【請求項 3】 データ信号とストロブ信号の排他的論理和で与えられるクロック信号を位相基準にして連続的なクロック同期パルス信号を発振生成する PLL 回路と、上記クロック信号と上記クロック同期パルス信号で歩進と初期化が行われるカウンタのカウント値によって上記クロック信号の連続性検査を行うエラー検出手段を備えたことを特徴とする請求項 1 または 2 に記載のデータ受信装置。

【請求項 4】 データ信号とストロブ信号をそれぞれに差動受信する差動受信回路と、差動受信信号を形成する一対の信号間での相互加算レベルの異常検査により受信データのエラー検出を行うとともに、上記レベルの異常箇所を上記受信データのエラー推定箇所として検出するエラー検出手段を備えたことを特徴とする請求項 1 から 3 のいずれかに記載のデータ受信装置。

【請求項 5】 エラー推定箇所にてエラー発生フラグを出力するエラー検出手段を備えたことを特徴とする請求項 1 から 4 のいずれかに記載のデータ受信装置。

【請求項 6】 受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常箇所を上記受信データのエラー推定箇所として検出する第 1 のエラー検出手段と、受信データにあらかじめ付加されている検査データによってエラーの有無を論理判定する第 2 のエラー検出手段と、第 1 および第 2 の両エラー検出手段から得られるエラー情報に基づいて上記受信データのエラー訂正を行うエラー訂正手段を備えたことを特徴とする請求項 1 または 5 に記載のデータ受信装置。

【請求項 7】 受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常箇所を上記受信データのエラー推定箇所として検出する第 1 のエラー検出手段と、巡回冗長検査符号によって受信データのエラー検出を行う第 2 のエラー検出手段と、第 1 および第 2 の両エラー検出手段から得られるエラー情報に基づいて上記受信データのエラー訂正を行うエラー訂正手段を備えたことを特徴とする請求項 1 から 6 のいずれかに記載のデータ受信装置。

【請求項 8】 受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常箇所を上記受信データのエラー推定箇所として検出する第 1 のエラー検出手段と、受信データにあらかじめ付加されている検査データを用いてエラーの有無を論理判定する第 2 のエラー検出手段と、第 1 および第 2 の両エラー検出手段の検出結果を照合することにより、検出されたエラーが訂正可能であるか否かを判定する判定手段を備えたことを特徴とする請求項 1 から 7 のいずれかに記載のデータ受信装置。

【請求項 9】 データ信号とストロブ信号の排他的論理和で与えられるクロック信号を用いて上記データ信号から受信データを再生するデータ再生手段を備えたことを特徴とする請求項 1 から 8 のいずれかに記載のデータ受信装置。

【請求項 10】 データ信号とストロブ信号の排他的論理和で与えられるクロック信号を位相基準にして連続的に発振生成されるクロック同期パルス信号を用いて上記データ信号から受信データを再生するデータ再生手段を備えたことを特徴とする請求項 1 から 9 のいずれかに記載のデータ受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ受信装置、さらにはデータ・ストロブ符号化方式で伝送されてくるデータ信号とストロブ信号から受信データを再生する装置に適用して有効な技術に関するものであって、たとえばパソコン（パーソナルコンピュータ）などのデータ端末および周辺機器間での高速シリアル・データ転送に利用して有効な技術に関するものである。

【0002】

【従来の技術】データ・ストロブ符号化方式は、IEEE Std 1394-1995 (IEEE Standard for a high Performance Serial Bus, IEEE std 1394-1995, IEEE Computer Society) にその規格が定められているが、送信側では、データとクロックの 2 信号を排他的論理和によりデータとストロブの 2 信号に符号化して送信し、受信側では、その 2 信号の排他的論理和からクロック信号を生成し、このクロック信号を使ってデータ信号から受信データを再生する。

【0003】図 4 は、本発明に先立って検討されたデータ・ストロブ符号化方式によるデータ受信装置の主要部を示す。

【0004】同図に示すデータ受信装置は、データ受信回路 1、ストロブ受信回路 2、クロック抽出部 3、第 1 および第 2 のフリップフロップ回路 14、15、第 1 および第 2 の AND 論理回路 16、17、および OR 論理回路 18 などにより構成される。

【0005】データ受信回路 1 は差動入力方式の 2 値化回路であって、差動信号の形で伝送されてくるデータ信

号+TPA、-TPAを受信してハイまたはロウ（“1”または“0”）の2値論理信号（Data_Rx）に変換（2値化）する。同様に、ストローブ受信回路2も差動入力方式の2値化回路であって、差動信号の形で伝送されてくるストローブ信号+TPB、-TPBを受信して2値論理信号（Strb_Rx）に変換する。

【0006】クロック抽出部3は、2値化されたデータ信号Data_Rxとストローブ信号Strb_Rxの排他的論理和から正相と逆相の二相クロック信号CLK、CLK-Nを生成する。

【0007】フリップフロップ回路14、15、AND論理回路16、17、およびOR論理回路18は、上記クロック信号CLK、CLK-Nを用いてデータ信号Data_Rxから受信データData-Rを再生する。

【0008】図5は、図4に示した装置の各部における動作波形チャートを示す。

【0009】同図に示すように、クロック信号CLK、CLK-Nは、データ信号Data_Rxとストローブ信号Strb_Rx間の排他的論理和によって得ることができる。

【0010】第1のフリップフロップ回路14は、データ信号Data-Rxの論理値を正相クロック信号CLKの立ち上がりでラッチし、第2のフリップフロップ回路15は、上記データ信号Data-Rxの論理値を逆相クロック信号CLK-Nの立ち上がりでラッチする。第1のAND論理回路16は第1のフリップフロップ回路14のラッチ出力Data-1と正相クロック信号CLKの論理積信号Data-1xを出力し、第2のAND論理回路17は第2のフリップフロップ回路15のラッチ出力Data-1と逆相クロック信号CLK-Nの論理積信号Data-2xを出力する。OR論理回路18は、第1および第2のAND論理回路16、17の両出力Data-1xとData-2xの論理和をとり、この論理和出力を受信データData-Rとして出力する。

【0011】以上のようにして、データ信号Data-Rxとストローブ信号Strb_Rxからクロック信号CLK、CLK-Nが生成され、このクロック信号CLK、CLK-Nとデータ信号Data-Rxから受信データData-Rが再生される。

【0012】このようにして再生された受信データData-Rは、図示を省略するが、エラー制御処理にかけられる。このエラー制御処理では、受信データにあらかじめ付加されている検査データ（検査符号）を使ってエラーの有無を論理的に検査し、これによって検出されたエラーが訂正可能な場合はエラー訂正処理にかけ、訂正不能な場合は送信側に対してデータの再送を要求する。

【0013】

【発明が解決しようとする課題】しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【0014】すなわち、上述したデータ受信装置では、

たとえば伝送路などで突発的に生じる障害あるいはその他の原因によって、受信データData-Rにエラー（誤り）が生じている可能性があるため、そのエラーの有無を判定するエラー検査の必要がある。このエラー検査は、受信データにあらかじめ付加されている検査データ、たとえばパリティ符号（Parity Code）や巡回冗長検査符号（Cyclic Redundancy Character）を使って行う。

【0015】しかし、上述したエラー検査で判定することができるのは、ある単位にまとまったデータの集合体すなわちデータブロック内でのエラーの有無であって、そのエラーの個所を特定することまではできない。

【0016】たとえば、巡回冗長検査符号を使うエラー検査いわゆるCRC（巡回冗長検査：Cyclic Redundancy Check）では、受信データを所定の大きさのブロック単位にまとめ、各ブロックごとに、そのブロックを構成するデータ（符号列）を高次の多項式とみなし、この高次多項式を特定の多項式いわゆる生成多項式で割ったときの剰余がゼロになるかどうかによって、そのブロック内の受信データにエラーがあるか否かを判定する。この場合、各ブロックデータ内には、上記生成多項式で割ったときの剰余をゼロとするような検査データ（巡回冗長検査符号）が送信側にて付加されている。上記生成多項式は規格等であらかじめ約束された共通の除数であって、これを適切に定めることにより、比較的少ない冗長度でもって高能力のエラー検出を行わせることができる。しかし、このCRCでも、検出できるのはデータブロック内でのエラーの有無だけである。

【0017】エラー有りを検出した場合、そのエラーが訂正可能であれば訂正処理し、訂正不能であれば送信側に対して再送要求を発行しなければならないが、データの伝送能率を上げるためには再送要求の発行頻度を減らす必要があり、このためには受信側でのエラー訂正能力を高める必要がある。

【0018】エラー訂正を行うためにはエラー個所を特定する必要があるが、このためにはエラー検査のための検査データに加えて、エラー訂正のための訂正データ（訂正符号：Correcting Code）が必要となる。しかし、訂正データは検査データに比べてデータ量（いわゆる冗長度）が大きく、したがって、その訂正データによるエラー訂正を行わせようすると、伝送データに付加すべき訂正データの割合いわゆるデータの冗長度が大きくなって、データの伝送効率が低下してしまう。さらに、訂正データによるエラー訂正は、その処理アルゴリズムが概して複雑かつ大がかりであるため、システムの処理負担が大きくなるという問題も生じる。

【0019】以上のように、従来のデータ受信装置では、データの伝送能率を上げるためにはエラー訂正能力を付与する必要があるが、そうすると、伝送データの冗長度が増大してデータの伝送効率が低下してしまうとい

10

20

30

40

50

う背反があった。

【0020】本発明の目的は、データ伝送効率を低下させることなく高能力のエラー訂正を可能にする、という技術を提供することにある。

【0021】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0022】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、
10 下記のとおりである。

【0023】すなわち、第1の手段は、データ・ストローブ符号化方式で伝送されてくるデータ信号とストローブ信号を受信して受信データを再生するデータ受信装置にあって、データ再生される前の受信信号に対する物理的異常検査により上記受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出するエラー検出手段を備えるというものである（第1発明）。

【0024】第2の手段は、上記第1の手段において、
20 データ信号とストローブ信号の排他的論理和で与えられるクロック信号の連続性検査により受信データのエラー検出を行うとともに、上記連続性の異常個所を上記受信データのエラー推定個所として検出するエラー検出手段を備えるというものである（第2発明）。

【0025】第3の手段は、上記第1または第2の手段において、データ信号とストローブ信号の排他的論理和で与えられるクロック信号を位相基準にして連続的なクロック同期パルス信号を発振生成するPLL回路と、上記クロック信号と上記クロック同期パルス信号で歩進と
30 初期化が行われるカウンタのカウント値によって上記クロック信号の連続性検査を行うエラー検出手段を備えるというものである（第3発明）。

【0026】第4の手段は、上記第1から第3のいずれかの手段において、データ信号とストローブ信号をそれぞれに差動受信する差動受信回路と、差動受信信号を形成する一対の信号間での相互加算レベルの異常検査により受信データのエラー検出を行うとともに、上記レベルの異常個所を上記受信データのエラー推定個所として検出するエラー検出手段を備えるというものである（第4
40 発明）。

【0027】第5の手段は、上記第1から第4のいずれかの手段において、エラー推定個所にてエラー発生フラグを出力するエラー検出手段を備えるというものである（第5発明）。

【0028】第6の手段は、上記第1から第5のいずれかの手段において、受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出する第1のエラー検出手段と、受信データにあらかじめ付加されて
50

いる検査データによってエラーの有無を論理判定する第2のエラー検出手段と、第1および第2の両エラー検出手段から得られるエラー情報に基づいて上記受信データのエラー訂正を行うエラー訂正手段を備えるというものである（第6発明）。

【0029】第7の手段は、上記第1から第6のいずれかの手段において、受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出する第1のエラー検出手段と、巡回冗長検査符号によって受信データのエラー検出を行う第2のエラー検出手段と、第1および第2の両エラー検出手段から得られるエラー情報に基づいて上記受信データのエラー訂正を行うエラー訂正手段を備えるというものである（第7発明）。

【0030】第8の手段は、上記第1から第7のいずれかの手段において、受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出する第1のエラー検出手段と、受信データにあらかじめ付加されている検査データを用いてエラーの有無を論理判定する第2のエラー検出手段と、第1および第2の両エラー検出手段の検出結果を照合することにより、検出されたエラーが訂正可能であるか否かを判定する判定手段を備えるというものである（第8発明）。

【0031】第9の手段は、上記第1から第8のいずれかの手段において、データ信号とストローブ信号の排他的論理和で与えられるクロック信号を用いて上記データ信号から受信データを再生するデータ再生手段を備えるというものである（第9発明）。

【0032】第10の手段は、上記第1から第9のいずれかの手段において、データ信号とストローブ信号の排他的論理和で与えられるクロック信号を位相基準にして連続的に発振生成されるクロック同期パルス信号を用いて上記データ信号から受信データを再生するデータ再生手段を備えるというものである（第10発明）。

【0033】上述した手段によれば、訂正データによるデータの冗長度増大を伴うことなく、また訂正データによる複雑かつ大がかりな訂正処理を伴うことなく、エラー個所を確実に特定して高能力のエラー訂正を行わせることができる。

【0034】これにより、データ伝送効率を低下させることなく高能力のエラー訂正を可能にする、という目的が達成される。

【0035】

【発明の実施の形態】以下、本発明の好適な実施態様を図面を参照しながら説明する。

【0036】なお、図において、同一符号は同一あるいは相当部分を示すものとする。

【0037】図1は本発明によるデータ受信装置の第1の実施態様を示す。

【0038】同図に示す装置は、データ・ストロブ符号化方式で伝送されてくるデータの受信装置であって、データ受信回路1、ストロブ受信回路2、クロック抽出部3、データ再生部4、物理エラー検出部5などにより構成される。

【0039】データ受信回路1は差動入力方式の2値化回路であって、差動信号の形で伝送されてくるデータ信号+TPA、-TPAを受信してハイまたはロウ

(“1”または“0”)の2値論理信号(Data_Rx)に変換(2値化)する。同様に、ストロブ受信回路2も差動入力方式の2値化回路であって、差動信号の形で伝送されてくるストロブ信号+TPB、-TPBを受信して2値論理信号(Strb_Rx)に変換する。

【0040】クロック抽出部3は排他的論理和回路(EOR)を用いて構成され、2値化されたデータ信号Data_Rxとストロブ信号Strb_Rxの排他的論理和からクロック信号CLKを生成する。

【0041】データ再生部4は、上記クロック信号CLKを使ってデータ信号Data_Rxから受信データData_Rを再生する。このデータ再生部4は図4に示したものを
20 使うことができる。図4のデータ再生部は、第1および第2のフリップフロップ回路14、15、第1および第2のAND論理回路16、17、およびOR論理回路18を用いて構成されている。

【0042】物理エラー検出部5は、上記クロック信号CLKの連続性を検査し、そのクロック信号CLKに不連続箇所が生じたときにエラー発生フラグEFLGを出力する。このエラー発生フラグは、受信信号のエラーがあったことを示すと同時に、その出力タイミングによってそのエラーの位置情報を示す。すなわち、この物理エ
30 ラー検出部5は、データ再生される前の受信信号(Data_Rx, Strb_Rx)に対する物理的異常検査を行うことによって、上記受信データData_Rのエラー検出を行うとともに、上記異常箇所をその受信データData_Rのエラー推定箇所として検出する。

【0043】図2は物理エラー検出部5の第1の構成例を示す。

【0044】同図に示す物理エラー検出部5は、クロック信号CLKを1/2周期だけ遅延(遅相)させる遅延回路(移相回路)6と、この遅延回路6で遅延された遅延クロック信号と遅延される前の非遅延クロック信号との排他的論理和(EOR)回路7とによって、上記クロック信号CLKの不連続箇所を検出する。

【0045】同図において、クロック信号CLKの連続性が保たれていると、そのクロック信号CLKの論理値は1/2周期ごとにハイとロウが規則的に入れ代わる。この場合、遅延クロック信号がハイのときは非遅延クロック信号がロウ、遅延クロック信号がロウのときは非遅延クロック信号がハイとなって、両者が同時にハイまたは同時にロウとなる期間は生じない。これにより、連続

性が保たれている間、EOR論理回路7の出力は常にハイ(“1”)となる。

【0046】他方、クロック信号CLKの連続性が失われると、そのクロック信号CLKの論理値は、ハイまたはロウのいずれか一方が1/2周期を越えて連続してしまう。この場合、遅延クロック信号と非遅延遅延クロック信号が同時にハイまたはロウとなる期間が生じる。このとき、EOR論理回路7の出力はロウ(“0”)となる。

【0047】このように、EOR論理回路7は、クロック信号CLKの連続性が保たれているときは定常的にハイを出力するが、その連続性が一時的にでも失われると、そのときだけロウを出力する。このクロック信号CLKの連続性が失われたときのロウが、エラー発生フラグEFLGの能動レベル(エラー判定レベル)として出力される。

【0048】図3は物理エラー検出部5の第2の構成例を示す。

【0049】同図に示す物理エラー検出部5は、PLL(Phase Lock Loop)回路8、論理インバータ9、第1および第2のカウンタ10、11、OR論理回路12により構成される。

【0050】同図において、PLL回路8はクロック信号CLKを位相基準とする位相制御ループを形成しながら、そのクロック信号CLKに位相同期するパルス信号CLK-Pを連続的に発振生成する。このクロック同期パルス信号CLK-Pはクロック信号CLKと周波数も同じで、PLL回路8の同期保持動作により、クロック信号CLKが一時的に不連続になった場合でも、連続して発振生成される。

【0051】論理インバータ9は、クロック信号CLKを論理反転して逆相クロック信号CLK-Nを生成する。

【0052】第1のカウンタ10は、上記クロック同期パルス信号CLK-Pでカウントアップ(歩進)されるとき、上記クロック信号CLKでクリア(初期化)される。これにより、第1のカウンタ10は、クロック信号CLKが連続して入力されている間、クロック同期パルス信号CLK-Pの入力ごとに行われるクリアによってカウントアップされず、したがって、カウント値は

40 “0”のクリア値(ロウ)に留まり続ける。しかし、クロック信号CLKの連続性が失われると、第1のカウンタ10は、そのクロック信号CLKによるクリアが途絶えることにより、クロック同期パルス信号CLK-Pによるカウントアップが行われ、この結果、“0”以外のカウント値をとるようになる。つまり、第1のカウンタ10は、クロック信号CLKが連続している間は“0”(ロウ)を出力し続けるが、そのクロック信号CLKが一時的にでも途絶えることがあると、そのときだけ

50 【0053】また、第2のカウンタ11は、上記クロッ

ク同期パルス信号CLK-PCで歩進されるとともに、上記逆相クロック信号CLK-Nでクリアされる。これにより、第2のカウンタ11は、上述の場合と同様、逆相クロック信号CLK-Nが連続している間は“0”（ロウ）を出力し続けるが、その逆相クロック信号CLK-Nが一時的にでも途絶えることがあると、そのときだけ“1”（ハイ）を出力するようになる。

【0054】OR論理回路12は、第1のカウンタ10と第2のカウンタ11の両出力の論理和（いずれか一方が“1”となる出力）をエラー発生フラグEFLGとして出力する。これにより、正相クロック信号CLKと逆相クロック信号CLK-Nのいずれか一方の連続性が失われても、その連続性が失われた時点でエラー発生フラグEFLGを出力させることができる。

【0055】図6はデータ信号にエラーがあった場合の動作例を示す。

【0056】同図において、実線はデータ信号Data-Rxにエラーがあった場合の動作波形、波線はそのエラーがなかった場合の動作波形を示す。また、Data-1、Data-2、Data-1x、Data-2x、CLK-Nは、受信データData-Rの再生過程で作成される中間信号であって、これはデータ再生部として図4に示したものを使用したためである。

【0057】同図に示す例では、データ信号Data-Rxが、正しくは“10110001”と受信されるべきところが、“10000001”と誤って受信されている。この場合、このデータ信号Data-Rxとストローブ信号Strb-Rxの排他的論理和により得られるクロック信号CLKは、データ信号Data-Rxが正しく受信されている間、1/2周期ごとにハイとロウが規則的に入れ代わる連続状態を示すが、ストローブ信号Strb-Rxの受信エラーが生じたところで、そのクロック信号CLKの連続状態が失われてしまう。同図に示す例では、クロック信号CLKがロウとなるべきところでハイのままとなる不連続個所が生じ、この個所にて受信データData-Rにエラーが生じている。

【0058】ところが、データ信号Data-Rxにエラーがあって、たとえば正しくは“1”（ハイ）と受信されるべきところを、誤って“0”（ロウ）と受信してしまう信号エラーが生じると、このエラーが生じたところでクロック信号CLKの連続状態が失われてしまう。同図に示す例では、クロック信号CLKがロウとなるべき個所でハイのままとなっており、連続性が失われている。

【0059】この連続性が失われたクロック信号CLKを使って上記データ信号Data-Rxから受信データData-Rを再生すると、正しくは“10110001”と再生されるべきところが、“10000001”と誤って再生されてしまう。このデータエラーは、クロック信号CLKの連続性が失われた個所にて生じている。したがって、そのクロック信号CLKの連続性が失われたときに出力されるエラー発生フラグEFLGは、エラー個所を特定するためのエラー位置情報としての機能を有する。なお、同図の場合、エラー発生フラグEFLGは、非遅延クロック信号CLKと1/2周期遅延クロック信号C

LK_DLとの排他論理和によって生成されている（図2参照）。

【0060】ここで、CRCなどのエラー検査手段（図示省略）がエラーを検出したときに、上記エラー発生フラグEFLGを使ってエラー個所を特定すれば、データ冗長度を増大させる訂正データに依存することなく、また訂正データによる複雑なエラー処理を行うこともなく、エラー発生フラグEFLGとタイミング的に位置対応する部分のデータを特定するという、比較的単純な処理によって迅速にエラー訂正を行わせることができる。

【0061】図7はストローブ信号にエラーがあった場合の動作例を示す。

【0062】同図において、実線はストローブ信号Strb-Rxにエラーがあった場合の動作波形、波線はエラーがなかった場合の動作波形を示す。また、Data-1、Data-2、Data-1x、Data-2x、CLK-Nは、受信データData-Rの再生過程で作成される中間信号であって、これはデータ再生部として図4に示したものを使用したためである。

【0063】同図に示す例では、データ信号Data-Rxの方は“10110001”と正しく受信されているが、ストローブ信号Strb-Rxの方に受信エラーが生じている。この場合、このストローブ信号Strb-Rxとデータ信号Data-Rxの排他的論理和により得られるクロック信号CLKは、ストローブ信号Strb-Rxが正しく受信されている間、1/2周期ごとにハイとロウが規則的に入れ代わる連続状態を示すが、ストローブ信号Strb-Rxの受信エラーが生じたところで、そのクロック信号CLKの連続状態が失われてしまう。同図に示す例では、クロック信号CLKがロウとなるべきところでハイのままとなる不連続個所が生じ、この個所にて受信データData-Rにエラーが生じている。

【0064】この受信データData-Rのエラーは、巡回冗長検査符号などの検査データを用いる論理的なデータエラー検出（CRC）によって検出されるが、この場合に検出できるのはエラーの有無だけであって、そのエラーの個所まで特定することはできない。

【0065】しかし、上記クロック信号CLKの不連続個所を検出してエラー発生フラグEFLGを出力させることにより、エラー発生フラグEFLGからエラーの発生に関する情報とエラーの位置に関する情報を共に得ることができる。なお、同図の場合も、エラー発生フラグEFLGは、非遅延クロック信号CLKと1/2周期遅延クロック信号CLK_DLとの排他論理和によって生成されている（図2参照）。

【0066】ここで、CRCなどのエラー検査手段（図示省略）がエラーを検出したときに、上記エラー発生フラグEFLGを使ってエラー個所を特定すれば、図6の場合と同様に、データ冗長度を増大させる訂正データに依存することなく、また訂正データによる複雑なエラー

処理を行うこともなく、比較的単純な処理でもって迅速にエラー訂正を行わせることができる。

【0067】以上のように、データ・ストロブ符号化方式で伝送されてくるデータ信号とストロブ信号を受信して受信データを再生するに際し、データ再生される前の受信信号(Data_Rx, Strb_Rx)に対する物理的異常検査により上記受信データData-Rのエラー検出を行うとともに、上記異常箇所を上記受信データData-Rのエラー推定箇所として検出することにより、データ伝送効率を低下させる訂正データを用いることなく、高能力

のエラー訂正を行わせることが可能になる。

【0068】検査データを用いるエラー検査手段の好適例としては、IEEE Std 1394にて定められているCRCがある。このCRCの概要を説明する。

【0069】巡回冗長検査符号(Cyclic Redundancy Character)を用いて行うエラー検出いわゆるCRC(巡回冗長検査:Cyclic Redundancy Check)では、受信データを所定のブロック単位にまとめ、各ブロックごとに、そのブロックを構成するデータ(符号列)を高次の多項式とみなし、この高次多項式(被除数)を生成多項式(除数)で割ったときの剰余がゼロになるかどうかによって、そのブロック内の受信データにエラーがあるか否かを判別する。

【0070】この場合、各ブロックデータ内には、上記生成多項式で割ったときの剰余をゼロとするような検査データ(巡回冗長検査符号)が送信側にて付加されている。したがって、受信側にて送信側と同じ生成多項式(除数)を用いて得られる剰余がゼロならばエラー無し、ゼロでなければエラー有りそれぞれ判定することができる。

【0071】生成多項式については、少ない冗長度でもって高能力のエラー検出を行わせるのに適したものがIEEE規格にて定められている。

【0072】以上のように、CRCは高能力のエラー検出を行うことができるが、これだけではデータブロック内でのエラーの有無だけしか検出することができない。しかし、そのデータブロック内でのエラー位置情報を生成することができれば、その個所でのエラーの訂正も可能となる。つまり、エラー個所のデータを、そのエラーを含むデータブロックに対する剰余計算結果がゼロとなるようなデータに修正することにより、そのエラー個所のデータを訂正することができる。このとき、そのエラー個所をエラー発生フラグEFLGの出力タイミング位置によって特定すれば、前述したように、エラー訂正のための訂正データすなわち冗長データを使わなくても、エラー訂正が可能になる。また、受信データに訂正データが付加されている場合には、この訂正データと上記エラー発生フラグEFLGとを組み合わせることにより、より高精度のエラー訂正能力を実現させることができる。

【0073】図8は本発明によるデータ受信装置の第2

の実施態様を示す。

【0074】同図に示すデータ受信装置は、図1に示したデータ受信装置にエラー訂正部19を含めたものである。エラー訂正部19は、データ再生部4にて再生された受信データData-Rと、クロック抽出部3にて生成されたクロック信号CLKと、物理エラー検出部5から出力されるエラー発生フラグEFLGとによってエラー訂正処理を行い、エラー訂正できた場合は訂正データC-Dataを出力し、エラー訂正できなかった場合はエラー訂正ができなかったことを示す訂正不能フラグUN-Corを出力する。この訂正不能フラグUN-Corは、受信側システム(図示省略)にて送信側にデータ再送要求を行うかどうかの判定に用いられる。

【0075】図9はエラー訂正部の構成例を示す。

【0076】同図に示すのは図8に示したエラー訂正部19の構成例であって、第1および第2のCRC計算回路20、21、エラー訂正回路23、一致判定回路22を有する。

【0077】同図において、第1のCRC計算回路20は、受信データData-Rに対して生成多項式による剰余パターンP(x)を計算する。第2のCRC計算回路21は、エラー発生フラグEFLGに対して生成多項式による剰余パターンP'(x)を計算する。

【0078】第1のCRC計算回路20にて得られる剰余パターンP(x)は、受信データData-Rにエラーが無ければゼロとなるが、その受信データ(データブロック)のどこかにエラーがあればゼロでなくなる。第2のCRC計算回路21にて得られる剰余パターンP'(x)は、エラー発生フラグEFLGが出力されないエラー非検出状態の場合すなわちクロック信号CLKの不連続検査によって検出されるエラーが無い場合はゼロとなるが、そのエラーがあった場合はゼロでなくなる。

【0079】一致判定回路22は、第1のCRC計算回路20にて計算された剰余パターンP(x)と、第2のCRC計算回路21にて計算された剰余パターンP'(x)とが、共にエラーパターン(ゼロ以外の剰余結果)となったどうかを判定する。つまり、受信データData-RにCRCエラーがあったときに、そのCRCエラーに対応するエラー発生フラグEFLGが出力されたかどうかを判定する。

【0080】ここで、一致判定回路22が上記2つの剰余パターンP(x)とP'(x)を共にエラーパターンであると判定した場合は、エラー発生フラグEFLGの個所でエラーが発生した推定して、エラー訂正回路23にエラー訂正を行わせる。他方、上記2つの剰余パターンP(x)とP'(x)が共にエラーパターンでないと判定された場合は、エラー発生フラグEFLGの個所以外でもエラーが発生したと推定されるので、この場合はエラー訂正を行う代わりに、訂正不能フラグUN-Corを出力する。

【0081】エラー訂正回路23は、上記一致判定回路

10

20

30

40

50

22の判定結果に基づいてエラー訂正を行う。すなわち、一致判定回路22がエラー発生フラグEFLGで個所を特定できると判定した場合は、そのエラー発生フラグEFLGの個所にあるビットデータを反転させて訂正する。具体的には、エラー発生フラグEFLGの位置にあるビットデータが“1”だったならば“0”に修正し、“0”だったならば“1”に修正する。この修正は排他的論理和回路によって簡単に行うことができる。このようにして修正されたデータが最終出力データC-Dataとして出力される。他方、上記一致判定回路22が訂正不能フラグUN-Corを出力した場合は、エラー訂正回路23によるエラー訂正は行われない。この場合、受信側のシステム（図示省略）は、上記訂正不能フラグUN-Corを受けて、送信側に対する再送要求などの処理を行えばよい。

【0082】図10は本発明によるデータ受信装置の第3の実施態様を示す。

【0083】同図に示すデータ受信装置は、図8に示した構成に加えて、第1および第2のアナログ加算回路30、31、レベル異常検出部32、AND論理回路33、CLK修正部35が設けられている。また、AND論理回路33の出力（CORF）を受けて受信データのエラー訂正を行うエラー訂正部（Data訂正部）34が設けられている。

【0084】第1および第2のアナログ加算回路30、31とレベル異常検出部32は、差動受信信号を形成する一対の信号間での相互加算レベルの異常検査により受信データのエラー検出を行うとともに、上記レベルの異常個所を上記受信データのエラー推定個所として検出する物理的なエラー検出手段を構成する。すなわち、第1のアナログ加算回路30は、伝送路を差動信号の形で伝送されてきた一対のデータ信号+TPA、-TPA間のアナログレベルを相互加算する。第2のアナログ加算回路31は、同じく、伝送路を差動信号の形で伝送されてきた一対のストロブ信号+TPB、-TPB間のアナログレベルを相互加算する。レベル異常検出部32は、第1および第2のアナログ加算回路30、31の各出力値ADD1、ADD2の異常検査を行う。

【0085】データ信号+TPA、-TPAおよびストロブ信号+TPB、-TPBはそれぞれ、データ受信回路1およびストロブ受信回路2にて受信されてハイまたはロウ（“1”または“0”）の2値論理信号（Data_RxおよびStrb_Rx）に変換されるが、この2値化変換は、差動信号の一方（+TPA、+TPB）と他方（-TPA、-TPB）間でのアナログレベルの大小関係に基づいて行われる。すなわち、+TPAが-TPAよりも高レベルならばData-Rxとしてハイ（“1”）が出力され、反対の場合はロウ（“0”）が出力される。同様に、+TPBが-TPBよりも高レベルならばStrb-Rxとしてハイ（“1”）が出力され、反対の場合はロウ（“0”）が出力される。

ウ（“0”）が出力される。

【0086】このような2値化変換が正しく行われるのは、伝送されてきた信号+TPA、-TPAおよび+TPB、-TPBがそれぞれ正常なレベル範囲で差動変化している場合であり、このとき、各アナログ加算回路30、31の加算出力ADD1、ADD2は、差動信号内での相対レベル変化にかかわらず、常にほぼ一定値を保つ。

【0087】他方、伝送されてきた信号+TPA、-TPAおよび+TPB、-TPBが、たとえば外来ノイズの重畳などによって、異常なレベル値をとることがあると、差動信号内でのレベル差に異常が生じて、上述した2値化変換が正しく行われず、この結果、2値化された信号Data_RxおよびStrb_Rxにエラーが発生する。この場合、各アナログ加算回路30、31の加算出力ADD1、ADD2の値にも異常が現れ、上記一定値を大きく越えたり、あるいは大きく下回ったりする。

【0088】レベル異常検出部32は一種のウインドコンパレータ（窓比較回路）であって、第1および第2のアナログ加算回路30、31の各出力値ADD1、ADD2がそれぞれに所定の正常レベル範囲内にあるかどうかを監視し、ADD1またはADD2のいずれかが正常レベル範囲を越えるレベル異常があったときに、そのレベル異常期間に1ビット分の期間を加えた拡張レベルエラー信号EXPANDを出力する。これは、+TPA、-TPAまたは+TPB、-TPBのいずれかに1ビット分のレベル異常が生じた場合、再生データData-Rxは2ビット分のエラーが生じるためである。つまり、レベル異常検出部32は、差動伝送信号（+TPA、-TPAまたは+TPB、-TPB）のアナログレベルに基づいてエラー検出を行い、エラーを検出したときには、再生データData-Rxに現れるエラーの期間に対応する幅の拡張レベルエラー信号EXPNDを出力する。

【0089】AND論理回路33は、物理エラー検出部5から出力されるエラー発生フラグEFLGと、レベル異常検出部32から出力される拡張レベルエラー信号EXPNDとの論理積を、訂正符号CORFとして出力する。つまり、クロック信号CLKの連続性検査によって検出される物理的なエラーと、差動伝送信号（+TPA、-TPAまたは+TPB、-TPB）のレベル異常によって検出される物理的なエラーとが同時に生じたときに、訂正符号CORFを出力する。この訂正符号CORFは、エラー個所を特定するための信号として、エラー訂正部34およびCLK修正部35に与えられる。

【0090】エラー訂正部34は、データ再生部4にて再生された受信データData-Rxのうち、上記訂正符号CORFの個所に位置するデータ（ビットデータ）を訂正してC-Dataとして出力する。

【0091】クロック修正部35は、クロック抽出部3にて生成されたクロック信号CLKが連続したクロック

信号となるように、上記訂正符号CORFの個所にてクロック信号CLKの論理を訂正する。具体的には、訂正符号CORFの個所にてクロックCLKの論理を反転させることで、そのクロック信号の連続性を回復させる。

【0092】図11はレベル異常検出部の構成例を示す。

【0093】同図に示すレベル異常検出部32は、第1および第2のウインドコンパレータ(窓比較回路)40、43、第1のウインドコンパレータ40に比較基準電圧V1、V2を与える電圧源41、42、第2のウインドコンパレータ43に比較基準電圧V3、V4を与える電圧源44、45、および両コンパレータ40、43の出力(Win1、Win2)をそれぞれ1ビット幅分ずつ時間拡張して出力する拡張回路46により構成されている。

【0094】ここで、V1とV2は、差動伝送されてきたデータ信号+TPA、-TPAの相互加算出力ADD1の正常レベル範囲(上限レベルV1と下限レベルV2)を定める。同様に、V3とV4は、差動伝送されてきたストローブ信号+TPB、-TPBの相互加算出力ADD2の正常レベル範囲(上限レベルV3と下限レベルV4)を定める。

【0095】ウインドコンパレータ40、43は、+TPA、-TPAまたは+TPB、-TPBのいずれかの相互加算出力ADD1、ADD2が上記正常レベル範囲から外れたときに異常レベル検出信号Win1またはWin2を出力する。この異常レベル検出信号Win1またはWin2は、拡張回路46にて1ビット幅分だけ時間拡張されたのち、上記拡張レベルエラー信号EXPNDとして出力される。

【0096】図12はデータ信号にレベルエラーがあった場合の動作例を示す。

【0097】同図において、実線はデータ信号(+TPA、-TPA)にレベルエラーがあった場合の動作波形、波線はエラーがなかった場合の動作波形を示す。

【0098】同図に示すように、データ信号+TPA、-TPAに1ビット相当のレベル異常(物理異常)が生じると、その異常個所にてデータの2値化(Data-Rx)にエラーが生じることにより、クロック信号CLKの連続性が失われて、2ビット相当の幅をもつエラー発生フラグEFLGが出力される。

【0099】このとき、そのデータ信号+TPA、-TPAの相互加算出力ADD1にレベル異常が生じて、第1のウインドコンパレータ40からも異常レベル検出信号Win1が出力される。この異常レベル検出信号Win1は2ビット分に時間拡張され、拡張レベルエラー信号EXPNDとして出力される。

【0100】上記エラー発生フラグEFLGと拡張レベルエラー信号EXPNDの論理積により訂正符号CORFが生成される。この訂正符号CORFの個所にて、受信データDat

a-Rのエラー訂正を行わせることにより、最終出力データC-DATAを得ることができる。

【0101】以上のように、2値化される前の受信信号のレベル異常(物理異常)を検出することによっても、受信信号のエラー検出とエラー推定個所の検出を行わせることができるが、これとともに、クロック信号の連続性検査による受信信号のエラー検出とエラー推定個所の検出を行って、両検出結果を照合の形で利用することにより、より高能力のエラー検出およびエラー訂正が可能となる。

【0102】図13は本発明の第4の実施態様を波形チャートで示す。

【0103】同図において、実線はデータ信号にレベルエラーがあった場合の動作波形、波線はエラーがなかった場合の動作波形を示す。

【0104】同図に示すのは、データ再生用の同期信号(クロック同期パルス信号)をPLL回路(図3参照)で生成するようにした場合の動作波形であって、この場合、PLL回路はクロック信号CLKの2倍の周波数のクロック同期パルス信号2CLK-pを連続的に発振生成する。このクロック同期パルス信号2CLK-pを受信データData-Rxのデータラッチ信号として使うことにより、受信データData-Rを簡単に作成することができる。

【0105】この場合のエラー検出およびエラー訂正は、クロック信号CLKの連続性検査とCRCによるエラー検査との併用によって行われる。すなわち、クロック信号CLKの連続性検査により得られるエラー発生フラグEFLGと前述したCRCの検査結果とによって訂正符号CORFを作成し、この訂正符号CORFの個所で受信データData-Rの訂正を行って最終出力データC-DATAを得る。

【0106】以上説明したように、本願発明の第1の発明は、データ・ストローブ符号化方式で伝送されてくるデータ信号とストローブ信号を受信して受信データを再生するデータ受信装置にあって、データ再生される前の受信信号に対する物理的異常検査により上記受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出するエラー検出手段を備えたことを特徴とする。

【0107】これにより、データ伝送効率を低下させることなく高能力のエラー訂正を可能にする、という効果が得られる。

【0108】本発明の第2の発明は、第1の発明において、データ信号とストローブ信号の排他的論理和で与えられるクロック信号の連続性検査により受信データのエラー検出を行うとともに、上記連続性の異常個所を上記受信データのエラー推定個所として検出するエラー検出手段を備えたことを特徴とする。

【0109】これにより、エラー検出およびエラー推定

個所を検出するための物理的異常検査をデータ信号とストローブ信号から確実に行うことができる、という効果が得られる。

【0110】本発明の第3の発明は、第1または第2の発明において、データ信号とストローブ信号の排他的論理和で与えられるクロック信号を位相基準にして連続的なクロック同期パルス信号を発振生成するPLL回路と、上記クロック信号と上記クロック同期パルス信号で歩進と初期化が行われるカウンタのカウント値によって上記クロック信号の連続性検査を行うエラー検出手段を備えたことを特徴とする。

【0111】これにより、受信信号の物理的異常検査をなすクロック信号の連続性検査を確実に行うことができる、という効果が得られる。

【0112】本発明の第4の発明は、第1から第3のいずれかの発明において、データ信号とストローブ信号をそれぞれに差動受信する差動受信回路と、差動受信信号を形成する一対の信号間での相互加算レベルの異常検査により受信データのエラー検出を行うとともに、上記レベルの異常個所を上記受信データのエラー推定個所として検出するエラー検出手段を備えたことを特徴とする。

【0113】これにより、エラー検出およびエラー推定個所を検出するための物理的異常検査を受信信号から確実に行うことができる、という効果が得られる。

【0114】本発明の第5の発明は、エラー推定個所にてエラー発生フラグを出力するエラー検出手段を備えたことを特徴とする。

【0115】これにより、再生された受信データのエラー推定個所を実時間で特定させることが可能になる、という効果が得られる。

【0116】本発明の第6の発明は、第1から第5のいずれかの発明において、受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出する第1のエラー検出手段と、受信データにあらかじめ付加されている検査データによってエラーの有無を論理判定する第2のエラー検出手段と、第1および第2の両エラー検出手段から得られるエラー情報に基づいて上記受信データのエラー訂正を行うエラー訂正手段を備えたことを特徴とする。

【0117】これにより、エラー検出およびエラー訂正の精度を高めることができる、という効果が得られる。

【0118】本発明の第7の発明は、受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出する第1のエラー検出手段と、巡回冗長検査符号によって受信データのエラー検出を行う第2のエラー検出手段と、第1および第2の両エラー検出手段から得られるエラー情報に基づいて上記受信データのエラー訂正を行うエラー訂正手段を備えたことを特徴とする。

【0119】これにより、エラー検出およびエラー訂正の能力および精度を高めることができる、という効果が得られる。

【0120】本発明の第8の発明は、第1から第7のいずれかの発明において、受信信号の物理的異常検査により受信データのエラー検出を行うとともに、上記異常個所を上記受信データのエラー推定個所として検出する第1のエラー検出手段と、受信データにあらかじめ付加されている検査データを用いてエラーの有無を論理判定する第2のエラー検出手段と、第1および第2の両エラー検出手段の検出結果を照合することにより、検出されたエラーが訂正可能であるか否かを判定する判定手段を備えたことを特徴とする。

【0121】これにより、エラー検出およびエラー訂正の能力および精度を高めるとともに、エラー訂正が不能な場合の送信側に対する再送要求の発行を最適化させることができる、という効果が得られる。

【0122】本発明の第9の発明は、第1から第8のいずれかの発明において、データ信号とストローブ信号の排他的論理和で与えられるクロック信号を用いて上記データ信号から受信データを再生するデータ再生手段を備えたことを特徴とする。

【0123】これにより、データ再生手段の構成を簡略化させることができる、という効果が得られる。

【0124】本発明の第10の発明は、第1から第9のいずれかの発明において、データ信号とストローブ信号の排他的論理和で与えられるクロック信号を位相基準にして連続的に発振生成されるクロック同期パルス信号を用いて上記データ信号から受信データを再生するデータ再生手段を備えたことを特徴とする。

【0125】これにより、データ再生を確実かつ安定に行わせることができる、という効果が得られる。

【0126】以上、本発明者によってなされた発明を実施態様にもとづき具体的に説明したが、本発明は上記実施態様に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、エラー検査方式としては、IEEE1394で定めるCRC以外の方式を利用することも可能である。また、エラー検出回路5などはマイクロプロセッサでソフトウェア的に構成することもできる。

【0127】以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野であるIEEE1394方式のデータ受信装置に適用した場合について説明したが、それに限定されるものではなく、デジタル信号をデータ・ストローブ符号化方式で送受信するシステムであれば、IEEE方式以外のシステムにも適用できる。

【0128】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、

下記のとおりである。

【0129】すなわち、データ伝送効率を低下させることなく高能力のエラー訂正を可能にする、という効果が得られる。

【図面の簡単な説明】

【図1】本発明によるデータ受信装置の第1の実施態様を示すブロック回路図

【図2】物理エラー検出部5の第1の構成例を示すブロック回路図

【図3】物理エラー検出部5の第2の構成例を示すブロック回路図

【図4】本発明に先立って検討されたデータ受信装置のブロック回路図

【図5】図4に示した装置の各部における動作波形チャート

【図6】データ信号にエラーがあった場合の動作例を示す波形チャート

【図7】ストローブ信号にエラーがあった場合の動作例を示す波形チャート

【図8】本発明によるデータ受信装置の第2の実施態様を示すブロック回路図

【図9】エラー訂正部の構成例を示すブロック回路図

【図10】本発明によるデータ受信装置の第3の実施態様を示すブロック回路図

【図11】レベル異常検出部の構成例を示すブロック回路図

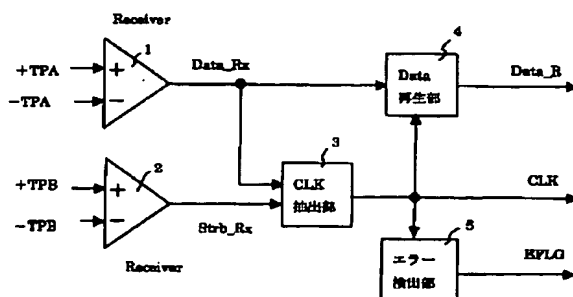
【図12】データ信号にレベルエラーがあった場合の動作例を示すブロック回路図

【図13】本発明の第4の実施態様を示す波形チャート

【符号の説明】

- 1 データ受信回路
- 2 ストローブ受信回路
- 3 クロック抽出部
- 4 データ再生部
- 5 物理エラー検出部
- 6 遅延回路（1/2周期）
- 7 排他的論理和回路（EOR）

【図1】



* 8 PLL (Phase Lock Loop) 回路

9 論理インバータ

10, 11 カウンタ

12 OR論理回路

14, 15 フリップフロップ回路（データラッチ）

16, 17 AND論理回路

18 OR論理回路

19 エラー訂正部

20, 21 CRC計算回路

22 一致判定回路

23 エラー訂正回路

30, 31 アナログ加算回路

32 レベル異常検出部

33 AND論理回路

34 エラー訂正部

35 CLK修正部

40, 43 ウインドコンパレータ（窓比較回路）

41, 42, 44, 45 電圧源

46 拡張回路

+TPA, -TPA データ信号（差動信号）

+TPB, -TPB ストローブ信号（差動信号）

Data_Rx 2値化されたデータ信号

Strb_Rx 2値化されたストローブ信号

Data_R 受信データ

CLK クロック信号（正相）

CLK-N クロック信号（逆相）

2CLK-p クロック同期パルス信号（2倍周波数）

CLK-P クロック同期パルス信号

EFLG エラー発生フラグ

30 UN-Cor 訂正不能フラグ

P(x) 剰余パターン（Data-R）

P'(x) 剰余パターン（EFLG）

ADD1, ADD2 加算出力

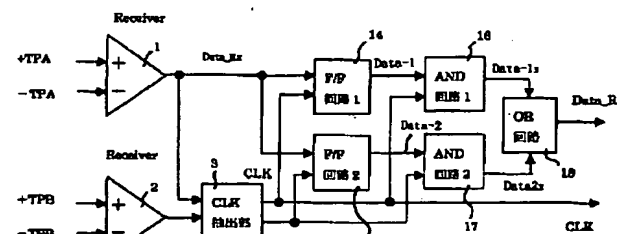
EXPAND レベルエラー信号

CORF 訂正符号

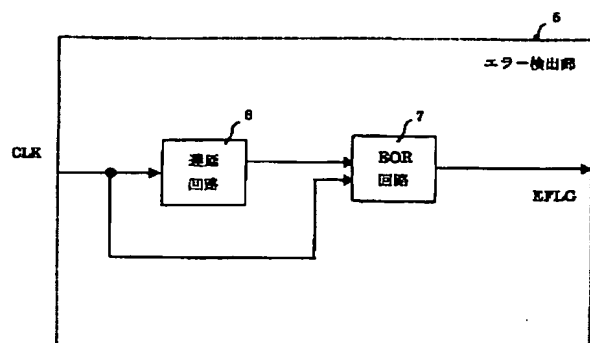
V1~V4 比較基準電圧

* Win1, Win2 異常レベル検出信号

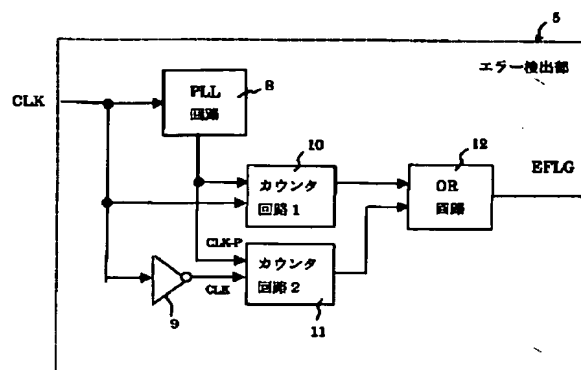
【図4】



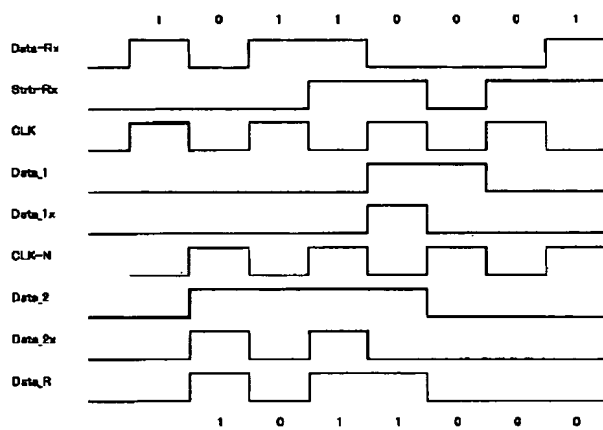
【図2】



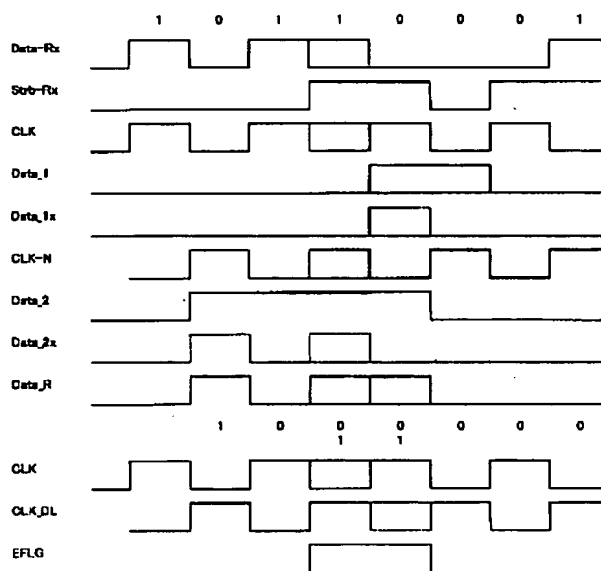
【図3】



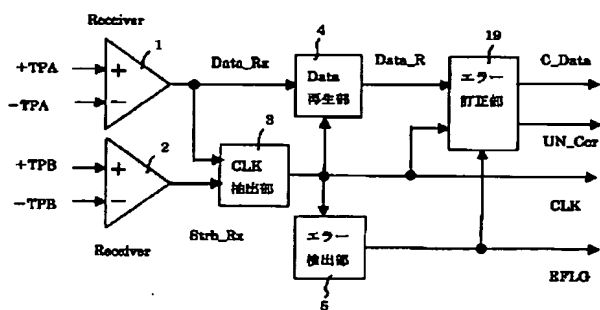
【図5】



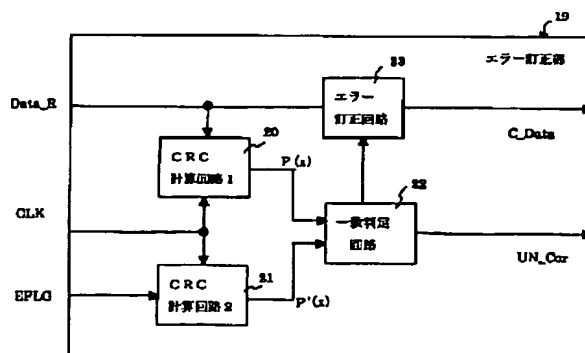
【図6】



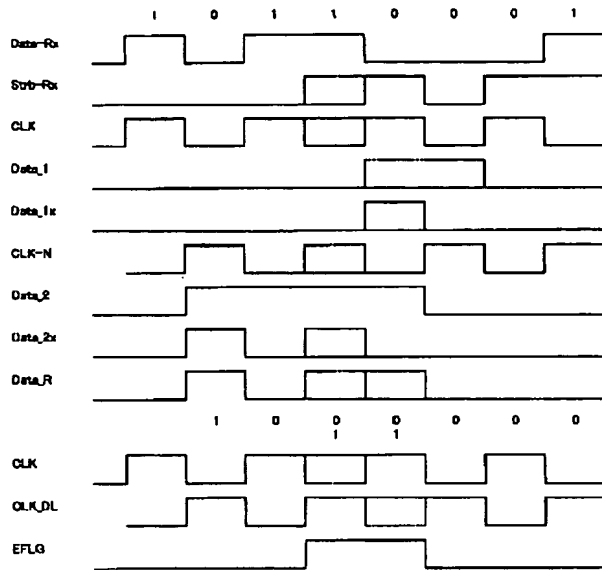
【図8】



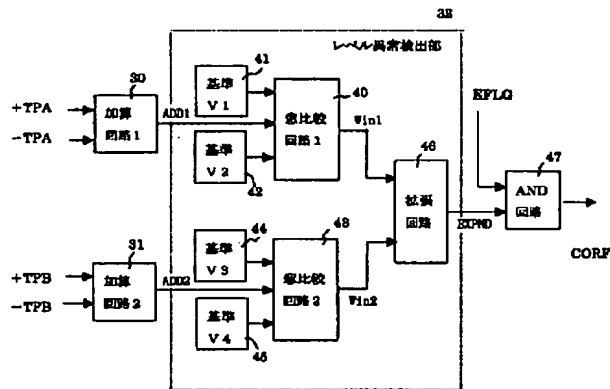
【図9】



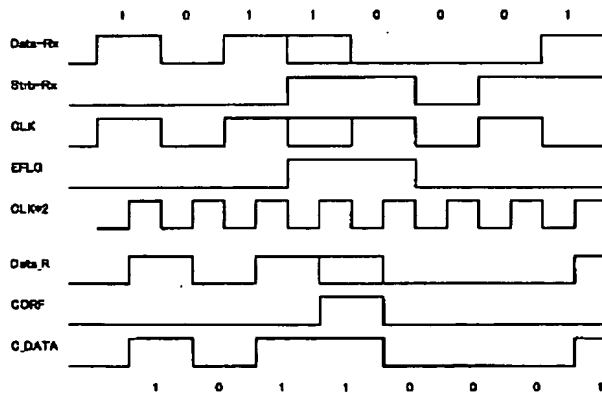
【図7】



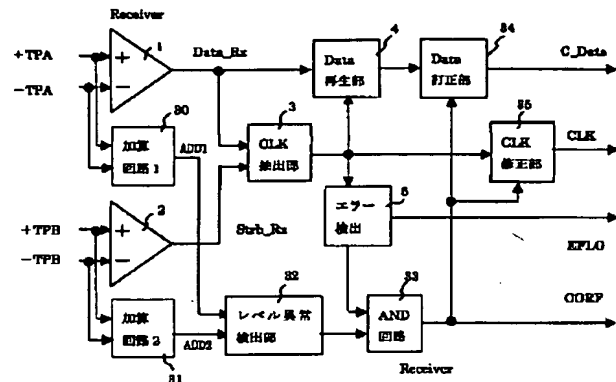
【図11】



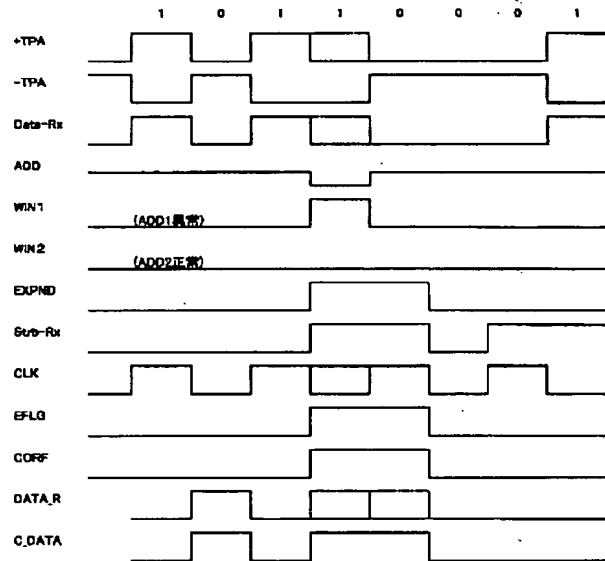
【図13】



【図10】



【図12】



フロントページの続き

(72)発明者 牧野 昭寛

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 中村 和則

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内